

Docket No.: P2001,0111

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: September 23, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Helmut Fischer et al.
Appl. No. : 10/642,906
Filed : August 18, 2003
Title : Method for Reading a Memory Cell in a Semiconductor Memory,
and Semiconductor Memory

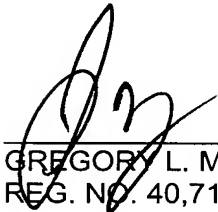
CLAIM FOR PRIORITY

Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 101 07 314.3 filed February 16, 2001.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: September 23, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 07 314.3

Anmeldetag: 16. Februar 2001

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zum Lesen einer Speicherzelle eines Halbleiterspeichers und Halbleiterspeicher

IPC: G 11 C 7/12

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 8. Juli 2003
Deutsches Patent- und Markenamt
Der Präsident
im Auftrag

Faust

Beschreibung

Verfahren zum Lesen einer Speicherzelle eines Halbleiterspeichers und Halbleiterspeicher

5

In Halbleiterspeichern, insbesondere bei DRAMs (Dynamic Random Access Memories) sind die Speicherzellen im Speicherzellenfeld an Bitleitungen angeschlossen, um einen aus- oder einzulesenden Datenwert zu übertragen. Wegen der regelmäßigen Struktur des Speicherzellenfeldes verlaufen die Bitleitungen zumindest abschnittsweise parallel zueinander. Durch Aktivierung einer Wortleitung wird ein Zugriffstransistor der Speicherzelle leitend geschaltet und der in einem Speicherkondensator gespeicherte Ladungszustand wird an die Bitleitung angelegt. Das schwache Signal wird durch einen Leseverstärker verstärkt. Der Leseverstärker ist eingangs in einen ausgeglichenen Zustand gebracht worden und verstärkt anschließend die der Bitleitung zugeführte Unsymmetrie zu einem vollpegeligen Signal. Der Leseverstärker weist komplementäre Signaleingänge auf. Die mit diesen Signaleingängen verbundenen Bitleitungen werden als nicht invertierte Bitleitungen und invertierte oder komplementäre Bitleitung bezeichnet. Die an die nicht invertierte Bitleitung angeschlossenen Speicherzellen speichern den zu speichernden Datenwert nicht invertiert. Die an die komplementäre Bitleitung angeschlossenen Speicherzellen speichern den zu speichernden Datenwert invertiert.

Problematisch ist, daß Bitleitungen nebeneinander geführt sind. Sämtliche dieser Bitleitungen verlaufen parallel zueinander und weisen daher eine kapazitive Kopplung zueinander auf. Sowohl die an einen Leseverstärker angeschlossenen Bitleitungen als auch die dazu unmittelbar wie auch nur mittelbar benachbarten Bitleitungen, die an die benachbarten Leseverstärker angeschlossen sind, sind parallel zueinander geführt. Kritisch ist eine Einkopplung in diejenige Bitleitung des gemeinsam an einem Leseverstärker angeschlossenen Bitleitungspaares, die nicht mit der auszulesenden Speicherzelle

verbunden ist. Da auch an den benachbarten Bitleitungspaaren Lesevorgänge ablaufen, koppeln die entsprechenden Spannungsänderungen in letztere genannte Bitleitung ein. Mit zunehmender Verkleinerung der Strukturen nimmt die kapazitive Kopplung zu. Insbesondere beim Verbinden des Speicherkondensators mit der Bitleitung durch Aktivierung der Wortleitung beeinflusst die kapazitive Kopplung den Auslesevorgang an der gerade aktiven Bitleitung. Daher verringert sich mit zunehmender Integrationsdichte der Störabstand, so daß bereits kleine Störeinflüsse ausreichen, um die geringe Asymmetrie zwischen den beiden komplementären Bitleitungen zu stören. Der Leseverstärker könnte dann auf das gerade entgegengesetzte Signal einschwingen.

Zur Abhilfe werden in manchen DRAMs die komplementären Bitleitungen abschnittsweise miteinander vertauscht. Die kapazitive Kopplung ist dann meist nur abschnittsweise wirksam und können unter Umständen zwar sogar kompensiert werden. Trotzdem können Konstellationen von auszulesenden Bits auftreten, bei denen eine nicht zu vernachlässigende Kopplung zwischen den komplementären Bitleitungen auftreten kann, da im allgemeinen gilt, daß die Kopplung zwischen Bitleitungen mit vertauschten Abschnitten in etwa die Hälfte der Kopplung nicht vertauschter, vollständig parallel verlaufender Bitleitungen aufweist.

Mit zunehmender Integrationsdichte bei abnehmenden Strukturbreiten läßt sich der Kopplungsfaktor zwischen den komplementären Bitleitungen weniger stark verringern als die im Kondensator gespeicherte Ladungsmenge abnimmt. Der Einfluß der kapazitiven Kopplung wird relativ größer. Die Übertragung der bisherigen Konzepte auf Speicher mit zunehmend höherer Speicherdichte bedürfen daher einer Modifikation.

Eine Aufgabe der Erfindung besteht darin, ein Verfahren zum Lesen einer Speicherzelle eines Halbleiterspeichers anzugeben, das weniger störanfällig ist.

Eine weitere Aufgabe der Erfindung besteht darin, einen Halbleiterspeicher anzugeben, bei dem der Lesevorgang weniger störanfällig ablaufen kann.

5

Gemäß der Erfindung wird die Aufgabe betreffend das Verfahren durch ein Verfahren gelöst zum Lesen einer Speicherzelle eines Halbleiterspeichers, der umfaßt: eine erste Bitleitung, an welche die Speicherzelle angeschlossen ist, und eine zweite Bitleitung; einen Leseverstärker mit zwei zueinander komplementäre Signale führenden Anschlüssen; einen ersten Schalter, über den ein erster Teil der ersten Bitleitung, an den die Speicherzelle angeschlossen ist, mit einem ersten der Anschlüsse des Leseverstärkers verbunden ist; einen zweiten Schalter, durch den der gegenüber dem ersten Teil der ersten Bitleitung verlaufende erste Teil der zweiten Bitleitung mit einem zweiten der Anschlüsse des Leseverstärkers verbunden ist; einen dritten Schalter, durch den ein zweiter Teil der ersten Bitleitung mit dem ersten Anschluß des Leseverstärkers verbunden ist; einen vierten Schalter, durch den ein zweiter Teil der zweiten Bitleitung mit dem zweiten Anschluß des Leseverstärkers verbunden ist; eine erste Vorladeschaltung, die mit den ersten Teilen der Bitleitungen verbunden ist, und eine zweite Vorladeschaltung, die mit den zweiten Teilen der Bitleitungen verbunden ist; wobei das Verfahren die Schritte umfaßt: in einer ersten Phase werden die Schalter leitend gesteuert; in einer nachfolgenden zweiten Phase wird nur der dritte der Schalter gesperrt gesteuert; in einer nachfolgenden dritten Phase werden nur der dritte und der vierte der Schalter gesperrt gesteuert und der Leseverstärker wird zum Verstärken freigegeben und in einer nachfolgenden vierten Phase werden die dritten und vierten Schalter wieder leitend geschaltet.

35 Betreffend den Halbleiterspeicher wird die Aufgabe durch einen Halbleiterspeicher mit mindestens einer Speicherzelle gelöst, der umfaßt: eine erste Bitleitung, an welche die Spei-

cherzelle angeschlossen ist, und eine zweite Bitleitung; einen Leseverstärker mit zwei zueinander komplementäre Signale führenden Anschlüssen; einen ersten Schalter, über den ein erster Teil der ersten Bitleitung, an den die Speicherzelle
5 angeschlossen ist, mit einem ersten der Anschlüsse des Leseverstärkers verbunden ist; einen zweiten Schalter, durch den der gegenüber dem ersten Teil der ersten Bitleitung verlaufende erste Teil der zweiten Bitleitung mit einem zweiten der Anschlüsse des Leseverstärkers verbunden ist; einen dritten
10 Schalter, durch den ein zweiter Teil der ersten Bitleitung mit dem ersten Anschluß des Leseverstärkers verbunden ist; einen vierten Schalter, durch den ein zweiter Teil der zweiten Bitleitung mit dem zweiten Anschluß des Leseverstärkers verbunden ist; eine erste Vorladeschaltung, die mit den ersten
15 Teilen der Bitleitungen verbunden ist, und eine zweite Vorladeschaltung, die mit den zweiten Teilen der Bitleitungen verbunden ist; eine Steuerschaltung, die ausgangsseitig mit Steueranschlüssen der Schalter und der Vorladeschaltungen verbunden ist und jeweilige Schaltsignal erzeugt, so daß in
20 einer ersten Phase werden die Schalter leitend gesteuert; in einer nachfolgenden zweiten Phase wird nur der dritte der Schalter gesperrt gesteuert; in einer nachfolgenden dritten Phase werden nur der dritte und der vierte der Schalter gesperrt gesteuert und der Leseverstärker wird zum Verstärken
25 freigegeben und in einer nachfolgenden vierten Phase werden die dritten und vierten Schalter wieder leitend geschaltet.

Das Verfahren bzw. der Halbleiterspeicher ist auf komplementäre Bitleitungen gerichtet, bei denen jeweils äußere Bitleitungsabschnitte vorgesehen sind, zwischen denen die Anschlußknoten für den Leseverstärker liegen. Die jeweiligen äußeren Bitleitungsabschnitte sind über Schaltransistoren an den Leseverstärker anschließbar.

35 Wenn auf einer der Bitleitungen, beispielsweise der nicht invertierenden Bitleitung, zu einer Seite des Leseverstärkers eine Speicherzelle auszulesen ist, dann wird der auf der ent-

gegengesetzten Seite des Leseverstärkers befindliche Abschnitt der Bitleitung durch Sperren des Schalters abtrennt. Anschließend wird der Ladungsinhalt des Speicherkondensators der auszulesenden Speicherzelle durch Aktivierung des Zugriffstransistors über die entsprechende Wortleitung an die Bitleitung angelegt. Der diesen Abschnitt der Bitleitung mit dem Leseverstärker verbindende Schalter ist leitend geschaltet. Die zu dieser nicht invertierten Bitleitung parallel verlaufende invertierte Bitleitung ist ebenfalls über den ihr zugeordneten Schalter an den Leseverstärker angeschlossen. Wesentlich ist, daß außerdem der andere auf der anderen Seite des Leseverstärkers liegende Teil dieser Bitleitung ebenfalls mit dem Leseverstärker über den zugeordneten Schalter verbunden ist. Der wiederum dazu parallel verlaufende Bitleitungsabschnitt der nicht invertierten Bitleitung ist - wie oben gesagt - durch den entsprechenden Schalter vom Leseverstärker abgetrennt.

Die invertierte Bitleitung stellt also eine parasitäre Kapazität zur Verfügung, die der vollen Länge der Bitleitung entspricht. Einschließlich demjenigen Teil, der dem Abschnitt der nicht invertierten Bitleitung gegenüber liegt, an den die Speicherzelle angeschlossen ist, und einschließlich demjenigen Teil, der auf der anderen Seite des Leseverstärkers liegt. Die geringe Ladungsmenge, welche mit der nicht invertierten Bitleitung in Verbindung gebracht wird, welche mit der auszulesenden Speicherzelle verbunden ist, sieht sich nun einer wesentlich größeren Kapazität gegenüber. Ein durch parasitäre kapazitive Kopplung auf die komplementäre Bitleitung einkoppelbarer Spannungshub fällt dadurch niedriger aus. Wenn anschließend die Verstärkungsphase des Leseverstärkers begonnen wird, wird der bezüglich der auszulesenden Speicherzelle entfernt liegende Teil der komplementären Bitleitung wieder abgeschaltet, um den Leseverstärker auf beiden Bitleitungen gleichmäßig zu belasten. Der Stromverbrauch im Leseverstärker wird dadurch auf das nur notwendige Maß eingeschränkt. Die Verstärkungsgeschwindigkeit bleibt beibehalten.

Vor dem Beginn der Verstärkungsphase des Leseverstärkers wird also der nicht mit der auszulesenden Speicherzelle verbundenen Bitleitung eine zusätzliche Kapazität aufgeschaltet. Diese Kapazität wird dann aber beim Verstärkungsvorgang wieder abgeschaltet. Durch die doppelte Kapazität der passiven Bitleitung gegenüber der mit der auszulesenden Speicherzelle verbundenen aktiven Bitleitung wird der Einfluß der parasitären kapazitiven Kopplung der mit der unmittelbar und mittelbar daneben angeordneten Bitleitungen der anderen Bitleitungspaaren halbiert.

Die Bitleitungen werden vor einen Lesevorgang bekanntlich mit einer Vorladeschaltung verbunden. Diese stellt die Bitleitungspotentiale auf etwa die Mittenspannung zwischen den Pegelwerten der komplementären logischen Zustände ein. Invertierte und nicht invertierte Bitleitungen sind dabei miteinander kurzgeschlossen. Beide Bitleitungen liegen daher auf dem gleichen Potential in der Mitte der Pegelwerte für die logischen Zustände. Auf derjenigen Seite des Leseverstärkers, auf der die auszulesende Speicherzelle angeschlossen ist, wird die Vorladeschaltung vor Aktivierung der Wortleitung abgeschaltet. Die beiden benachbarten Bitleitungen befinden sich dann in einem labilen Zustand, der mit Aktivierung der Wortleitung und Ausgabe der in der auszulesenden Speicherzelle enthaltenen Ladungsmenge ausgelenkt wird.

Vorteilhafterweise bleibt die auf der der auszulesenden Speicherzelle gegenüberliegenden Seite des Leseverstärkers befindliche Vorladeschaltung aktiviert. Dadurch wird einerseits die komplementäre, nicht mit der auszulesenden Speicherzelle verbundene Bitleitung auf das Vorladepotential geklemmt. Außerdem wird auch der Bitleitungsabschnitt der nicht invertierten Bitleitung, welcher durch den zugeordneten Schalter vom Leseverstärker getrennt ist, über die Vorladeschaltung mit der komplementären Bitleitung verbunden. Sämtliche nicht an die auszulesende Speicherzelle angeschlossenen Bitlei-

tungsabschnitte werden durch diese Maßnahme einerseits auf Vorladedepotential gehalten und andererseits zu einer größeren parasitären Kapazität als bisher zusammengefaßt. Die Einkopplung anderer Bitleitungen auf die invertierte Bitleitung wird durch diese Maßnahme überaus gering gehalten. Während der Verstärkungsphase des Leseverstärkers wird dann der auszulesenden Speicherzelle bezüglich des Leseverstärkers gegenüber liegende Abschnitt der komplementären Bitleitung über den entsprechenden Schalter abgeschaltet. Daher wird auch die zugeordnete Vorladeschaltung vom Leseverstärker abgetrennt. Die Vorladeschaltung kann weiterhin aktiv bleiben, da die mit ihr gekoppelten Abschnitte der nicht invertierten und komplementären Bitleitung durch jeweils geöffnete Schalter vom Leseverstärker getrennt sind.

Für die Erfindung wird der Auslesevorgang an einem Leseverstärker zweckmäßigerweise in vier Phasen aufgeteilt. Während der ersten Phase sind alle 4 Bitleitungsabschnitte über leitende Schalter an den Leseverstärker angeschlossen. Während einer nachfolgenden zweiten Phase wird derjenige Bitleitungsabschnitt der mit der auszulesenden Speicherzelle verbundenen Bitleitung, welcher von der auszulesenden Speicherzelle entfernt liegt, abgetrennt. Während der nachfolgenden dritten Phase wird der gegenüberliegenden Bitleitung zugeordnete Abschnitt vom Leseverstärker getrennt und der Verstärkungsvorgang eingeleitet. Am Ende des Verstärkungsvorgangs werden sämtliche Schalter wieder leitend gesteuert und alle vier Bitleitungsabschnitte von nicht invertierter und komplementärer Bitleitung an den Leseverstärker angeschlossen.

Als Schalter dienen vorzugsweise n-Kanal-MOS-Transistoren, deren gesteuerte Strecke durch den Drain-Source-Strompfad gebildet wird und deren Steueranschluß durch die Gate-Elektrode gebildet wird.

Die Vorladeschaltung umfaßt einen Anschluß für das in der Mitte der Pegel für die komplementären Logikzustände liegende

Vorladepotential. Über die Drain-Source-Strecken von Vorladetransistoren ist das Vorladepotential an gegenüber liegende, parallel verlaufende Abschnitte von nicht invertierter und komplementärer Bitleitung anlegbar. Darüber hinaus umfaßt die Vorladeschaltung einen Transistor, der zwischen die benachbarten Bitleitungen geschaltet ist. Sämtliche dieser Transistoren der Vorladeschaltung werden vom gleichen Steuersignal angesteuert.

10 Nachfolgend wird die Erfindung anhand des in der Zeichnung dargestellten Ausführungsbeispiels näher erläutert. Es zeigen

Figur 1 einen für die Erfindung relevanten Ausschnitt aus einem DRAM,

15

Figur 2 ein Signaldiagramm einer ersten Ausführungsform und

Figur 3 ein Signaldiagramm einer zweiten Ausführungsform.

20 Der in Figur 1 gezeigte Ausschnitt aus einem DRAM zeigt einen Leseverstärker 10 mit 2 komplementären Eingängen 41, 42. An einen der Eingänge 41 ist eine erste Bitleitung 38 angeschlossen, an den anderen der Eingänge 42 ist eine zweite Bitleitung 39 angeschlossen. Die Bitleitungen verlaufen über das Speicherzellenfeld in paralleler Ausrichtung zueinander. An die Bitleitungen sind jeweils eine Vielzahl von Speicherzellen angeschlossen. Die Speicherzelle 15 weist wie sämtliche Speicherzellen einen Zugriffstransistor 17 auf, dessen gesteuerte Strecke einerseits an den Abschnitt 13 der Bitleitung 39 und andererseits über einen Speicherkondensator 18 mit einem Bezugspotential verbunden ist. Für die an die Bitleitung 39 angeschlossenen Speicherzellen ist exemplarisch die Speicherzelle 16 dargestellt. Der in der Speicherzelle 15 gespeicherte Datenwert wird nicht invertiert gespeichert. Die Bitleitung 38 wird daher als nicht invertierte ("true") Bitleitung bezeichnet. Der in der Speicherzelle 16 gespeicherte Datenwert wird invertiert gespeichert. Die Bitleitung 39 wird

25

30

35

daher als komplementäre oder invertierte Bitleitung bezeichnet. Die Gateanschlüsse der Auswahltransistoren innerhalb der Speicherzellen 15, 16 sind mit jeweiligen Wortleitungen 19, 20 verbunden. Zur Auswahl beispielsweise der Speicherzelle 15 wird die Wortleitung 43 mit einem High-Potential angesteuert, um den Transistor 17 leitend zu steuern. Der Speicherkondensator 18 wird dadurch mit der Bitleitung 38 verbunden. Parallel zum in der Figur 1 dargestellten Bitleitungspaar 13, 14 verlaufen in regelmäßiger entsprechender Anordnung weitere Bitleitungspaare, die ihrerseits wiederum an Leseverstärker angeschlossen sind. So ist davon auszugehen, daß oberhalb und unterhalb des dargestellten Bitleitungspaares 13, 14 weitere Bitleitungen (nicht dargestellt) verlaufen.

Die Bitleitung 38 weist einen mittleren Abschnitt 44 auf, der unmittelbar an den Anschluß 41 des Leseverstärkers 10 angeschlossen ist. Äußere Abschnitte 13, 36 befinden sich zur rechten und zur linken Seite des Leseverstärkers 10. Der linke Abschnitt 13 ist über einen Schalter 27 mit dem mittleren Abschnitt 44 verbunden, der rechte Abschnitt 36 ist über einen Schalter 30 mit dem mittleren Abschnitt 44 verbunden. Die Schalter sind als n-Kanal-MOS-Transistoren ausgeführt. Ebenso weist die komplementäre Bitleitung 39 einen mittleren Abschnitt 45 auf, der über einen Schalter 28 mit einem linken Abschnitt 14 verbunden ist und über einen Schalter 29 mit einem rechten Abschnitt 37. Auch die Schalter 28, 29 sind n-Kanal-MOS-Transistoren. Eine Vorladeschaltung 21 ist zwischen die linken Abschnitte 13, 14 des Bitleitungspaares angeschlossen. Über einen Anschluß 25 wird ein Ausgleichspotential VBLEQ angelegt, das über die gesteuerten Strecken von n-Kanal-MOS-Transistoren 22, 23 an die jeweiligen Bitleitungsabschnitte 13 bzw. 14 übertragen wird. Darüber hinaus ist ein n-Kanal-MOS-Transistor 24 mit seiner gesteuerten Strecke zwischen die Bitleitungsabschnitte 13, 14 angeschlossen. Sämtliche Transistoren der Vorladeschaltung 21 werden gateseitig gemeinsam über einen Anschluß 26 gesteuert. Eine entsprechen-

de Vorladeschaltung 31 befindet sich auf der linken Seite des Leseverstärkers mit entsprechender Ausgestaltung.

Der Leseverstärker 10 enthält seinerseits zwei eingangs-
5 ausgangsseitig miteinander verbundene Inverter 11, 12, die
über einen Anschluß 40 ein- und ausschaltbar sind. Während
der Ruhephase des Leseverstärkers 10 sind die Inverter 11, 12
versorgungspotentialseitig an die Ausgleichsspannung VBLEQ
angeschlossen, während der aktiven Verstärkungsphase des Le-
10 severstärkers 10 werden die Inverter 11, 12 mit der Versor-
gungsspannung verbunden, jeweils durch vom Anschluß 40 an-
steuerbare Schalter.

Die Signalverläufe von in der Figur 1 vorkommenden Signalen
15 während eines Lesezyklus zeigt Figur 2. Ein Lesevorgang wird
durch einen entsprechenden Lesebefehl dem Halbleiterspeicher
mitgeteilt. Entsprechende Zeilen- und Spaltendecoder aktivie-
ren beispielsweise die Wortleitung 19 und die Bitleitung 38,
um den Datenwert der an ihrer Kreuzungsstelle angeordneten
20 Speicherzelle 15 auszulesen. So wird zuerst der Transistor 30
durch einen Low-Pegel des an seinem Gateanschluß eingespei-
sten Steuersignals C gesperrt geschaltet. Der rechte Ab-
schnitt 36 ist dadurch vom mittleren und linken Abschnitt 44,
13 der Bitleitung 38 getrennt. Der Transistor 27 bleibt durch
25 einen High-Pegel des an seinem Gateanschluß anliegenden Steu-
ersignals A leitend. In der ersten Phase P1, bevor ein Lese-
befehl dem Speicher mitgeteilt wurde, sind alle Transistoren
27,, 30 leitend. In der nachfolgenden zweiten Phase P2
wird der Transistor 30 abgeschaltet und die Wortleitung 13
30 wird aktiviert, indem das Wortleitungssignal L einen High-
Pegel einnimmt. Der Transistor 17 wird dadurch leitend ge-
schaltet. Während dieser Phase ist nur der Transistor 30 ge-
sperrt. Die anderen Schalttransistoren 27, 28, 29 sind lei-
tend gesteuert.

35 Während der Phase P2 ist der Speicherkondensator 18 über den
leitend gesteuerten Auswahltransistor 17 mit dem linken Ab-

schnitt 13 der Bitleitung verbunden. Beispielsweise ist in der Speicherzelle 18 ein High-Pegel gespeichert, so daß das Potential G der Bitleitungsabschnitte 13, 44 der nicht invertierten Bitleitung 38 leicht angehoben wird. In der Figur 2 ist dieser Anstieg mit 51 markiert.

Die im wesentlichen parallel verlaufenden Bitleitungsabschnitte 13, 14 und insbesondere die (nicht dargestellten) weiteren Bitleitungen sind parasitär kapazitiv miteinander gekoppelt. An sämtlichen Bitleitungspaaren läuft ein vergleichbarer Verstärkungsvorgang gleichzeitig ab. Erst anschließend wird der von der adressierten Speicherzelle auszu-lesende Datenwert selektiert. Die Potentialänderungen auf den benachbarten Bitleitungen beeinflussen daher die Bitleitung 39. Da die auszulesende Speicherzelle 15 den Leseverstärker 10 nur sehr gering aus der Symetrie auslenkt, besteht die Gefahr, daß durch die parasitäre Einkopplung auf die nicht invertierte Bitleitung 39 das von der Speicherzelle 15 auszulesende Signal gestört wird. Um die Kopplung durch diese parallelen Verstärkungsvorgänge möglichst niedrig zu halten, sind die Transistoren 28, 29 leitend, so daß die gebildete Gesamtkapazität durch die gesamte Länge der Bitleitung 39, umfassend den linken Abschnitt 14, mittleren Abschnitt 45 und rechten Abschnitt 37 gebildet wird. Diese Kapazität ist größer als die von den Abschnitten 13, 44 der Bitleitung 38 gebildete Kapazität. Daher verändert sich trotz der parasitären kapazitiven Kopplung zwischen den Bitleitungen 38, 39 das Potential H auf der Bitleitung 39 kaum. In Figur 2 ist der Signalverlauf mit 52 gekennzeichnet.

30

In einer nunmehr folgenden dritten Phase P3 erfolgt die Verstärkung des ausgelesenen Signals durch den Leseverstärker 10. In einem ersten Abschnitt P31 wird der Transistor 29 durch einen Low-Pegel des ihn steuernden Signals D abgeschaltet. Da der Potentialanstieg 51 an der Bitleitung 13 bereits beendet ist, bleibt das Potential H an Bitleitung 39 weiterhin konstant. Nunmehr wird der Leseverstärker durch Aktivie-

35

5 rung des Signals K eingeschaltet, indem seine Inverter 11, 12
mit der Versorgungsspannung verbunden werden. Während der ei-
gentlichen Verstärkungsphase P32 wird nun die geringfügige
Potentialdifferenz zwischen den Bitleitungen 38, 39, deren
10 mittlere Abschnitte 44, 45 an den Eingängen 41, 42 des Lese-
verstärkers 10 anliegen, verstärkt. Die Potentiale G, H der
Bitleitungen 38, 39 werden daher in zueinander komplementären
Signalpegel verstärkt. Während der gesamten Verstärkungsphase
P3 ist der Transistor 29 abgeschaltet, so daß der Lesever-
10 stärker 10 nur die mittleren und linken Abschnitte 13, 44,
14, 45 der Bitleitungen 38, 39 treiben muß. Der Verstärkungs-
vorgang erfolgt relativ schnell, der Stromverbrauch durch die
Inverter 11, 12 des Leseverstärkers 10 ist niedrig.

15 Der aus der Speicherzelle 15 ausgelesene Datenwert liegt nun-
mehr mit ausreichend verstärktem Signalpegel am Leseverstär-
ker 10 an, so daß er über (nicht dargestellte) Leitungen ab-
gegriffen und an den Datenausgang des Halbleiterspeichers
weitergeleitet werden kann.

20 Zu Beginn des Lesevorgangs, während der Phase P1, werden die
Bitleitungen 38, 39 auf ein Vorladedepotential vorgeladen.

25 Hierzu erforderliche Vorladeschaltungen 21, 31 sind den lin-
ken und rechten Bitleitungsabschnitten des Bitleitungspaares
zugeordnet. Die linke Vorladeschaltung 21 wird vom Steuersi-
gnal E angesteuert, die rechte Vorladeschaltung 31 vom Steu-
ersignal F. Während der Phase P1 ist die Vorladeschaltung 21
aktiviert. Das Vorladedepotential VBLEQ weist einen mittleren
Pegel auf, der in der Mitte zwischen einem High- und einem
30 Low-Pegel liegt. Über die leitend geschalteten Transistoren
22, 23 wird während der Phase P1 der Pegel VBLEQ an die Bit-
leitungsabschnitte 13, 14 angelegt. Außerdem erfolgt über den
leitenden Transistor 24 ein Pegelausgleich zwischen den kom-
plementären Bitleitungsabschnitten 13, 14. Die rechte Vorla-
35 deschaltung 31 hat entsprechende Funktion. Am Ende der Phase
P1 wird die Vorladeschaltung 21 deaktiviert, so daß sämtliche

ihrer Transistoren 22, 23, 24 gesperrt sind. Anschließend kann die Speicherzelle 15 ausgelesen werden.

Im in Figur 2 gezeigten vorteilhaften Ausführungsbeispiel bleibt die Vorladeschaltung 31 während des gesamten Lesevorgangs aktiviert. Die der komplementären Bitleitung 39 während der Phasen P1, P2 zuzurechnende Kapazität umfaßt dann wegen der leitenden Transistoren 28, 29 die Kapazitätsanteile der Bitleitungsabschnitte 14, 45, 37 und wegen der aktivierten Vorladeschaltung 31 auch den Bitleitungsabschnitt 36. Dabei ist - wie oben ausgeführt - der Bitleitungsabschnitt 36 der nicht invertierten Bitleitung 38 durch den geöffneten Schalter 30 von dem der auszulesenden Speicherzelle 15 zugeordneten Bitleitungsabschnitten 13, 44 getrennt. Die während der Phase P2 auf Seite der komplementären Bitleitung wirksame Kapazität ist daher relativ hoch.

Der Signalverlauf in Figur 3 unterscheidet sich von der Ausführungsform in Figur 2 dadurch, daß die Vorladeschaltung 31 während der Phase P2 gemeinsam mit der Vorladeschaltung 21 abgeschaltet wird. Die Steuersignale E, F haben gleichen Signalverlauf. In diesem Fall sind während der Phase P2 die beiden Vorladeschaltungen 21, 31 deaktiviert, so daß die Kapazität der komplementären Bitleitung 39 durch die Anteile 14, 45 und 37 gebildet wird, nicht aber mehr durch den rechten Bitleitungsabschnitt 36 der nicht invertierten Bitleitung.

Sämtliche in der Figur 1 gezeigte Transistoren sind n-Kanal-MOS-Feldeffekttransistoren. Deren gesteuerte Strecken werden von den Drain-Source-Strompfaden gebildet. Der Leitungszustand der Transistoren erfolgt durch entsprechende Signaleinprägung an ihren Gateanschlüssen.

Die in den Figuren 1 bis 3 gezeigten Steuersignale werden von einer entsprechenden Steuerungseinrichtung 60 bereitgestellt, beispielsweise ein Zustandsrechenwerk. Der Steuerungsschal-

tung 60 werden eingangsseitig Befehle CMD, beispielsweise für Lesen, Schreiben etc. und Adressen ADR zur Auswahl bestimmter Speicherzellen zugeführt. Das Zustandsrechenwerk erzeugt ausgangsseitig die Steuersignale A, ..., K in der in Figuren 2
5 und 3 dargestellten Zeitrelation.

Patentansprüche

1. Verfahren zum Lesen einer Speicherzelle eines Halbleiterspeichers, der umfaßt:

5

- eine erste Bitleitung (38), an welche die Speicherzelle (15) angeschlossen ist, und eine zweite Bitleitung (39),
- einen Leseverstärker (10) mit zwei zueinander komplementäre Signale führenden Anschlüssen (41, 42),

10

- einen ersten Schalter (27), über den ein erster Teil (13) der ersten Bitleitung (38), an den die Speicherzelle (15) angeschlossen ist, mit einem ersten der Anschlüsse (41) des Leseverstärkers (10) verbunden ist,

15

- einen zweiten Schalter (28), durch den der gegenüber dem ersten Teil (13) der ersten Bitleitung (38) verlaufende erste Teil (14) der zweiten Bitleitung (39) mit einem zweiten der Anschlüsse (42) des Leseverstärkers (10) verbunden ist,

20

- einen dritten Schalter (30), durch den ein zweiter Teil (36) der ersten Bitleitung (38) mit dem ersten Anschluß (41) des Leseverstärkers (10) verbunden ist,

- einen vierten Schalter (29), durch den ein zweiter Teil (37) der zweiten Bitleitung (39) mit dem zweiten Anschluß (42) des Leseverstärkers (10) verbunden ist,

25

- eine erste Vorladeschaltung (21), die mit den ersten Teilen (13, 14) der Bitleitungen (38, 39) verbunden ist, und eine zweite Vorladeschaltung (31), die mit den zweiten Teilen (36, 37) der Bitleitungen (38, 39) verbunden ist,

mit den Schritten:

30

- in einer ersten Phase (P1) werden die Schalter (27, 28, 29, 30) leitend gesteuert,

- in einer nachfolgenden zweiten Phase (P2) wird nur der dritte der Schalter (30) gesperrt gesteuert,

35

- in einer nachfolgenden dritten Phase (P3) werden nur der dritte und der vierte der Schalter (30, 29) gesperrt gesteu-

ert und der Leseverstärker (10) wird zum Verstärken freigegeben und

- in einer nachfolgenden vierten Phase (P4) werden die dritten und vierten Schalter (30, 29) wieder leitend geschaltet.

2. Verfahren nach Anspruch 1,

dadurch gekennzeichnet, daß die erste Vorladeschaltung (21) während der ersten Phase (P1) leitend und während der zweiten und dritten Phase (P2, P3) gesperrt geschaltet ist.

3. Verfahren nach Anspruch 1 oder 2,

dadurch gekennzeichnet, daß die zweite Vorladeschaltung (31) während der ersten, der zweiten und der dritten Phase (P1, P2, P3) leitend geschaltet ist.

4. Verfahren nach Anspruch 1 oder 2,

dadurch gekennzeichnet, daß die zweite Vorladeschaltung (31) während der ersten Phase (P1) leitend und während der zweiten und dritten Phase (P2, P3) gesperrt geschaltet ist.

5. Halbleiterspeicher mit mindestens einer Speicherzelle (15), der umfaßt:

- eine erste Bitleitung (38), an welche die Speicherzelle (15) angeschlossen ist, und eine zweite Bitleitung (39),
- einen Leseverstärker (10) mit zwei zueinander komplementäre Signale führenden Anschlüssen (41, 42),
- einen ersten Schalter (27), über den ein erster Teil (13) der ersten Bitleitung (38), an den die Speicherzelle (15) angeschlossen ist, mit einem ersten der Anschlüsse (41) des Leseverstärkers (10) verbunden ist,
- einen zweiten Schalter (28), durch den der gegenüber dem ersten Teil (13) der ersten Bitleitung (38) verlaufende erste

Teil (14) der zweiten Bitleitung (39) mit einem zweiten der Anschlüsse (42) des Leseverstärkers (10) verbunden ist,

- einen dritten Schalter (30), durch den ein zweiter Teil (36) der ersten Bitleitung (38) mit dem ersten Anschluß (41) des Leseverstärkers (10) verbunden ist,

- einen vierten Schalter (29), durch den ein zweiter Teil (37) der zweiten Bitleitung (39) mit dem zweiten Anschluß (42) des Leseverstärkers (10) verbunden ist,

- eine erste Vorladeschaltung (21), die mit den ersten

Teilen (13, 14) der Bitleitungen (38, 39) verbunden ist, und eine zweite Vorladeschaltung (31), die mit den zweiten Teilen (36, 37) der Bitleitungen (38, 39) verbunden ist,

- eine Steuerschaltung (60), die ausgangsseitig mit Steueranschlüssen der Schalter (27, 28, 29, 30) und der Vorladeschaltungen (21, 31) verbunden ist und jeweilige Schaltsignal erzeugt, so daß

- in einer ersten Phase (P1) werden die Schalter (27, 28, 29, 30) leitend gesteuert,

- in einer nachfolgenden zweiten Phase (P2) wird nur der dritte der Schalter (30) gesperrt gesteuert,

- in einer nachfolgenden dritten Phase (P3) werden nur der dritte und der vierte der Schalter (30, 29) gesperrt gesteuert und der Leseverstärker (10) wird zum Verstärken freigegeben und

- in einer nachfolgenden vierten Phase (P4) werden die dritten und vierten Schalter (30, 29) wieder leitend geschaltet.

6. Halbleiterspeicher nach Anspruch 5,

dadurch gekennzeichnet, daß die Schalter (27, 28, 29, 30) als n-Kanal-MOS-Transistoren ausgebildet sind, deren Steueranschluß durch die Gatelektrode gebildet ist.

7. Halbleiterspeicher nach einem der Ansprüche 5 oder 6, dadurch gekennzeichnet, daß

die Steuerschaltung (60) ausgebildet ist, um die erste Vorladeschaltung (21) derart zu steuern, daß sie während der ersten Phase (P1) leitend und während der zweiten und dritten Phase (P2, P3) gesperrt ist.

5

8. Halbleiterspeicher nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß die Steuerschaltung (60) ausgebildet ist, daß die zweite Vorladeschaltung derart gesteuert wird, daß sie während der ersten, zweiten und dritten Phase (P1, P2, P3) leitend geschaltet ist.

10

9. Halbleiterspeicher nach einem der Ansprüche 5 bis 7, dadurch gekennzeichnet, daß die Steuerschaltung (60) ausgebildet ist, daß die zweite Vorladeschaltung (31) derart steuerbar ist, daß sie während der ersten Phase (P1) leitend und während der zweiten und dritten Phase (P2, P3) gesperrt geschaltet ist.

15

10. Halbleiterspeicher nach Anspruch 5 oder 6, dadurch gekennzeichnet, daß jede der Vorladeschaltungen (21, 31) einen Anschluß für ein Vorladepotential (VBLEQ) umfaßt, der über die gesteuerten Strecken (22, 23) je eines Transistors (22, 23) mit jeder der Bitleitungen (38, 39) verbunden ist, und einen Transistor (24), dessen gesteuerte Strecke zwischen die Bitleitungen (38, 39) geschaltet ist, und daß die Steuerelektroden der Transistoren (22, 23, 24) miteinander verbunden sind und an einen Ausgang der Steuerschaltung (60) angeschlossen sind.

20

25

Zusammenfassung

Verfahren zum Lesen einer Speicherzelle eines Halbleiterspeichers und Halbleiterspeicher

5

Bei einem Halbleiterspeicher besteht eine kapazitive Kopplung zwischen den weitgehend parallel verlaufenden Bitleitungen (38, 39). Äußere Abschnitte (13, 14, 36, 37) der Bitleitungen sind über jeweilige Schalter (27, 28, 29, 30) mit dem zwischen angeordneten Leseverstärker (10) verbunden. Um die kapazitive Einkopplung durch andere Bitleitungen beim Auslesen einer Speicherzelle (15) vor dem Beginn der Verstärkung durch den Leseverstärker (10) in die nicht mit der auszulesenden Speicherzelle (15) gekoppelte Bitleitung (39) möglichst gering zu halten, sind die Schalter (28, 29) in jener Bitleitung (39) leitend geschaltet. Während der Verstärkungsphase wird der entfernte äußere Abschnitt (37) jener Bitleitung (39) über den entsprechenden Schalter (29) abgeschaltet. In einer Ausführungsform wird die Kapazität der nicht mit der auszulesenden Speicherzelle (15) verbundenen Bitleitung (39) weiter erhöht, indem eine Vorladeschaltung (31) zusätzlich aktiviert ist.

Figur 1

113

Fig. 1

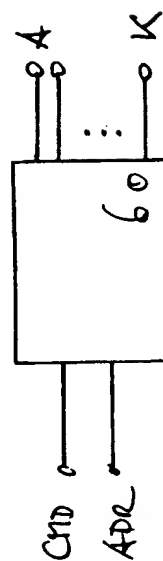
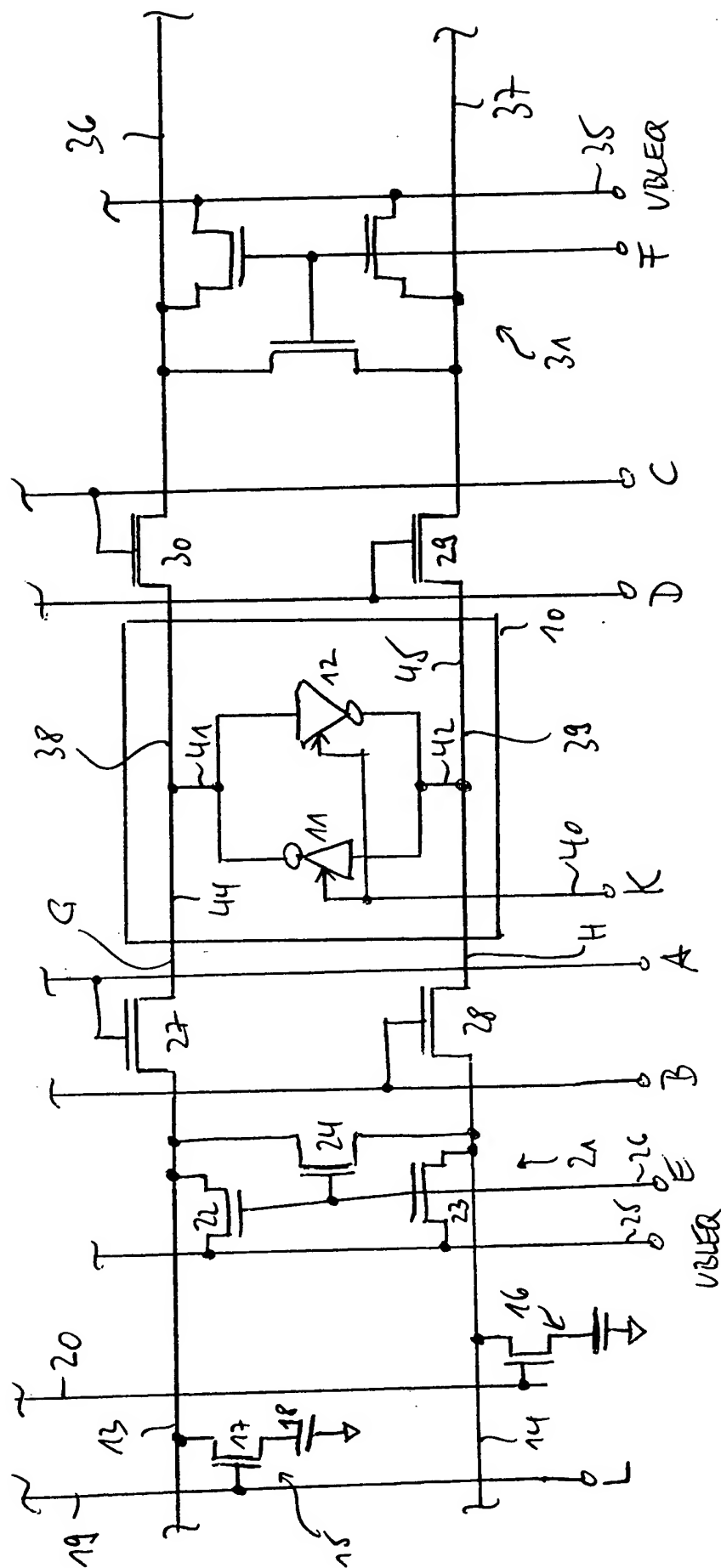


Fig. 2

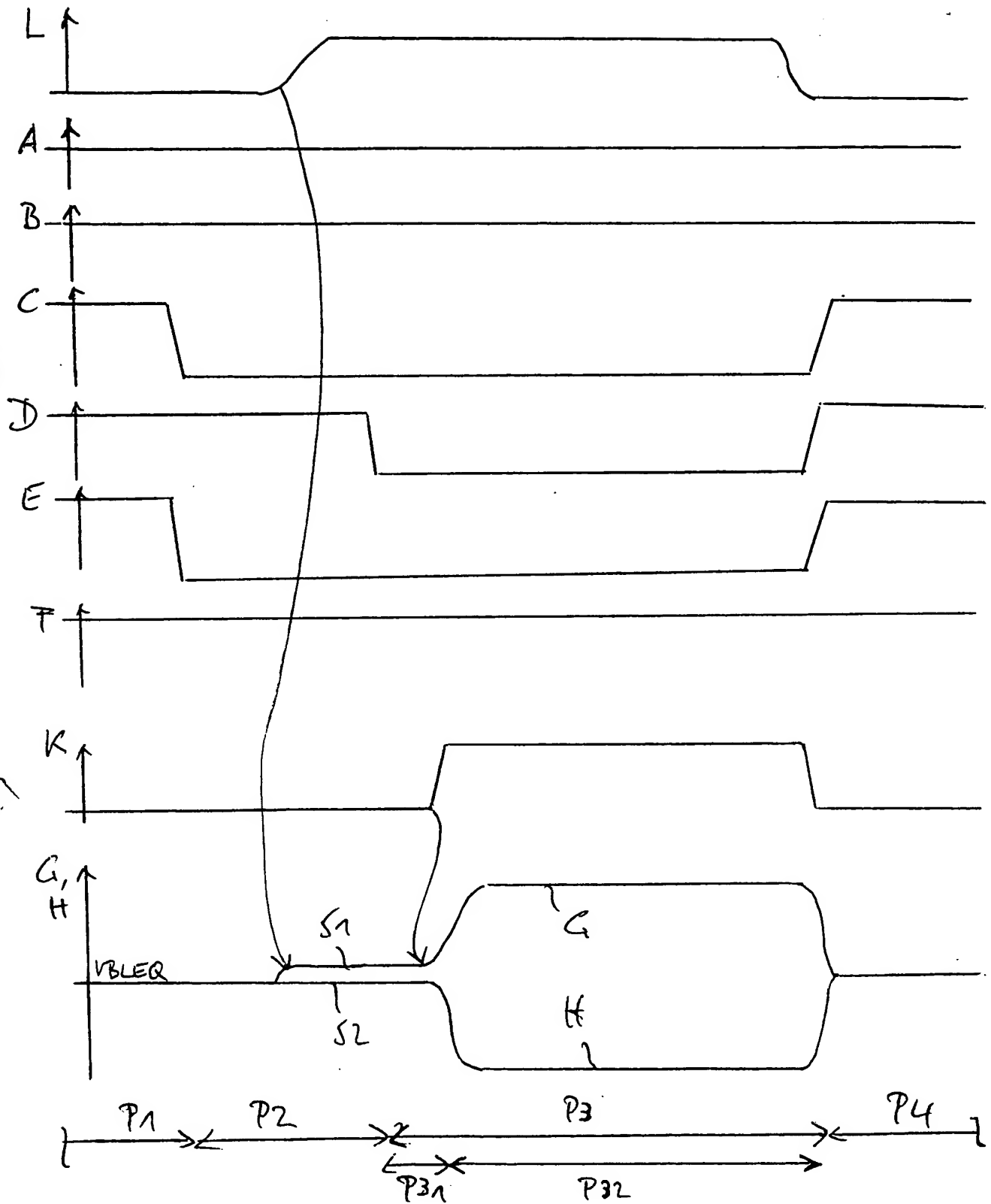


Fig. 3

